

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-038445

(43)Date of publication of application : 12.02.1999

(51)Int.CI.

G02F 1/136  
H01L 29/786  
H01L 21/336

(21)Application number : 09-194330

(71)Applicant : NEC CORP

(22)Date of filing : 18.07.1997

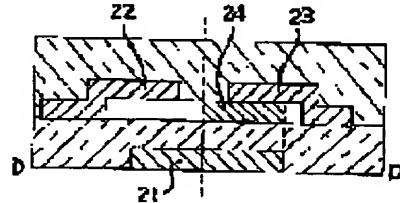
(72)Inventor : WATANABE TAKAHIKO  
SUKEGAWA OSAMU

## (54) PRODUCTION OF THIN-FILM TRANSISTOR ARRAY SUBSTRATE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make the field-through voltage distribution in a display screen uniform without changing wiring materials, increasing the thickness of wiring layer films and expanding wiring widths by executing exposure offset in such a manner that the parasitic capacitance in thin-film transistor(TFT) parts is increased with every exposure part.

**SOLUTION:** A display section has the TFTs and pixel electrodes in the positions where gate signal wires and drain signal wires intersect. In the process for forming the TFTs within the exposure areas by a single mask, the offset is executed in the direction where the alignment offset is increased with every exposure in such a manner that the overlap quantity of the patterns of gate electrodes 21 and the patterns of source electrodes 23 is made larger the more distant from the gate signal input part side in the pattern exposure of the drain electrodes 22 of the TFTs. The parasitic capacitance between the electrodes 21/the source electrodes 23 is increased.



### LEGAL STATUS

[Date of request for examination] 18.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2985838

[Date of registration] 01.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-38445

(43)公開日 平成11年(1999)2月12日

(51)Int.Cl.<sup>6</sup>  
G 0 2 F 1/136  
H 0 1 L 29/786  
21/336

識別記号  
5 0 0

F I  
G 0 2 F 1/136  
H 0 1 L 29/78  
5 0 0  
6 1 2 Z  
6 2 7 C

審査請求 有 請求項の数2 OL (全7頁)

(21)出願番号 特願平9-194330

(22)出願日 平成9年(1997)7月18日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 渡邊 貴彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 助川 統

東京都港区芝五丁目7番1号 日本電気株式会社内

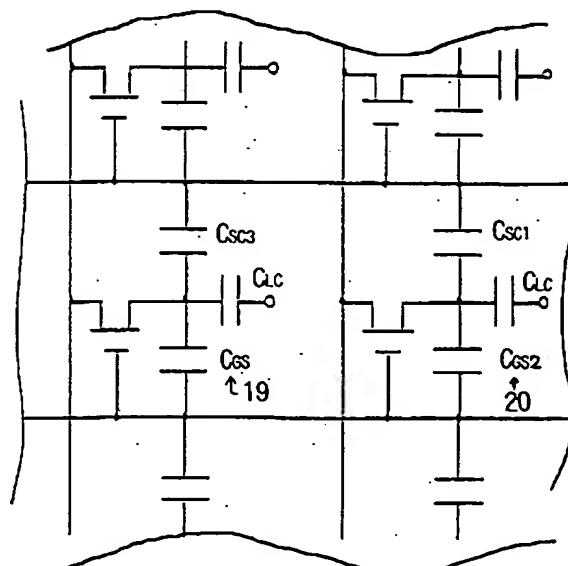
(74)代理人 弁理士 菅野 中

(54)【発明の名称】薄膜トランジスタアレイ基板の製造方法

(57)【要約】

【課題】 単一のマスクを使用し多数回露光することで形成される大型液晶表示パネルにおいてフィードスルー電圧成分を表示画面内で均一化して液晶表示装置の表示焼き付き、シミ等の表示特性の低下問題を解決する。

【解決手段】 単一のマスクにおいて露光の継ぎ目部分で露光オフセットをかけることでTFT部分ゲートソース間容量を調整し、フィードスルーの画面内変化を少なくする。さらに露光マスクのレイアウトをゲートパルス入力部から離れるに従って、層間絶縁膜を介したゲート信号線・ストレージ線等と画素電極等のオーバーラップ部分面積を小さくしていくことでストレージ容量を小さくなるように変化させることでフィードスルー電圧の単一露光エリア内での変化を低減する。



19ゲート・ソース容量  
20ゲート・ソース容量

## 【特許請求の範囲】

【請求項1】 単一マスクで分割露光を行うことにより、アレイパターンで形成される表示部を薄膜トランジスタアレイ基板に形成する薄膜トランジスタアレイ基板の製造方法であつて、

前記表示部は、ゲート信号線とドレイン信号線との交差位置に薄膜トランジスタと画素電極とを有するものであつり、

単一マスクによる露光エリア内に薄膜トランジスタを形成する過程において、薄膜トランジスタのドレイン電極のパターン露光時に、ゲート電極のパターンとソース電極のパターンとのオーバーラップ量がゲート信号入力部側から離れるに従って大きくなるように露光毎にアライメントオフセットを増加する方向にオフセットを行ない、ゲート電極／ソース電極間の寄生容量を増加させるものであることを特徴とする薄膜トランジスタアレイ基板の製造方法。

【請求項2】 前記画素電極とゲート信号線、もしくは画素電極と独立した電位を与えられるように形成された電極とを層間絶縁膜を介してオーバーラップさせてオーバーラップ部に形成する補助容量の値を、ゲート信号入力部側から離れるに従って段階的に小さくなるように単一マスクの露光エリア内で変化させることを特徴とする請求項1に記載の薄膜トランジスタアレイ基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ

$$V_{FD} = (C_{GS} \cdot \Delta V_G) / (C_{LC} + C_{SC} + C_{GS})$$

$V_{FD}$  : フィードスルー電圧  
 $C_{GS}$  : TFTのゲート・ソース間の容量  
 $C_{LC}$  : 液晶容量  
 $C_{SC}$  : ストレージ容量  
 $\Delta V_G$  : ゲートパルス振幅

【0006】 次に、このフィードスルー電圧のアレイ面内分布について説明する。

【0007】 式(1)は、ゲート信号が理想的なパルスの場合であるが、実際のアクティブマトリクスLCDでは、方形波として入力されたゲート書き込み信号(走査線選択パルス)は、時定数により入力から距離があるところほど信号波形になまりが生じる。このなまりによ

$$V_{FD2} = (C_{GS} \cdot \Delta V_G + \int I_{DS} \Delta t) / (C_{LC} + C_{SC} + C_{GS}) \quad (2)$$

$\Delta t$  : なまりによるゲート遅延時間 (TFTカットオフ電圧までの時間)  
 $I_{DS}$  : 上記遅延時間内で再チャージのために流れるTFTの平均電流

【0010】  $\Delta t$ は、配線時定数(配線抵抗\*配線容量)に比例するため、ゲートパルス入力側では無視できるほど小さく、 $I_{DS} \Delta t \approx 0$ となる。したがって、ゲートパルス入力側と、その反対側とでは、フィードスルー

アレイ基板の製造方法に関する。

## 【0002】

【従来の技術】 近年の液晶パネルは、携帯型パソコンやデスクトップパソコンのモニタ、または投写型モニターなどに幅広く利用されている。特に、表示画素に映像信号のスイッチとなる薄膜トランジスタ(以下、TFTという)を設けたアクティブマトリクス型液晶パネルは、コントラストや応答速度性等の画質に優れており、用途が急増している。

【0003】 しかしながら、このTFTを用いた液晶表示パネルには、そのトランジスタが持つ寄生容量に起因した「フィードスルー」と呼ばれる表示電位変化の表示面内での分布により、表示品質が低下するという問題がある。特に、大型パネルでは、フィードスルーの表示面内での分布が大きく現れる傾向にあり、近年の画面サイズの大型化における大きな問題となっている。

【0004】 次に、このフィードスルー現象について説明する。一般に薄膜トランジスタを用いたアクティブマトリクス液晶ディスプレイでは、薄膜トランジスタのゲート・ソース間寄生容量効果のためにゲート書き込み信号の立ち下がり時に、画素容量の電位が変動する。この変動量をフィードスルー電圧と称している。フィードスルー電圧 $V_{FD}$ は、TFTのゲート・ソース間の容量 $C_{GS}$ と液晶容量 $C_{LC}$ 及びストレージ容量 $C_{SC}$ 及びゲートパルス振幅 $\Delta V_G$ を使って表現すると、式(1)のように表わされる。

## 【0005】

## 【式1】

$$(1)$$

り、ゲート信号の立ち下がり始めから完全にトランジスタがオフになるまでに時間差が生じ、フィードスルーで変動しようとする画素容量の電位がある程度回復される。従って、このゲートパルスのなまりの小さい入力側と、なまりの大きい非入力側とでフィードスルー電圧に差が生じる。

【0008】 このゲートパルスなまりの効果を盛り込むと、フィードスルー電圧 $V_{FD}$ は、式(2)のように表わされる。

## 【0009】

## 【式2】

$$\Delta V_{FD} = (\int I_{DS} \Delta t) / (C_{LC} + C_{SC} + C_{GS}) \quad (3)$$

電圧差は、式(2)と式(1)の差として(3)式のように表わされる。

## 【0011】

## 【式3】

$$\Delta V_{FD} = (\int I_{DS} \Delta t) / (C_{LC} + C_{SC} + C_{GS})$$

【0012】 以上示したように、ゲート信号波形のなまりによる表示画面内のフィードスルー電圧差は、ゲート配線時定数に比例するため、LCDが大型になるほど大

きな問題となってくる。

【0013】この問題に対し、フィードスルー電圧の表示画面内分布を低減する方法としては、式(3)のうち( $C_{LC} + C_{SC} + C_{GS}$ )の値を可及的に大きくする方法が挙げられるが、これ以外にも、配線遅延の増加、開口率の低下等の他の要因によっても劣化する。

【0014】上記以外の方法として、表示画面内のトランジスタ素子の補助容量をゲート配線方向で変化させ、ゲート信号のなまりによるフィードスルー電圧変化を補償する方法がある。この例を図13により説明する(特開平2-232509号公報参照)。

【0015】図13において、5はゲート信号線、6は画素電極、8はドレイン信号線、12は層間絶縁層、15、16、17はストレージ容量、21はゲート電極、22はドレイン電極、23はソース電極である。図13に示す従来例の技術では、式(2)のストレージ容量 $C_{SC}$ をゲート信号の入力側で大きく設計し、遠くなるに従い小さくなるよう設計値を変化させる。これにより、入力側のフィードスルー電圧 $V_{FD}^{IN}$ を小さく、非入力側の $V_{FD}^{out}$ を大きくすることで $\Delta V_{FD}$ を0Vになるように構成している。

【0016】

【発明が解決しようとする課題】しかしながら、図13に示す従来例の方法は、表示面を1回の露光で行うことが前提とされており、表示面内を多数回の露光で形成される大型パネルでは、実施が困難であるという課題があった。

【0017】ここで、大型の薄膜トランジスタアレイ基板のパターン形成を行う露光工程の方式について説明する。露光方式には、一括露光方式と分割露光方式との2種類の方式がある。一括露光方式とは、画面サイズと同等以上の大型のマスクを使用して製品パターンを露光する方法である。この方式では、露光できる画面サイズが装置光学系とマスクの大きさによって制約を受けるため、あまり大型のパネルを露光することは不可能である。

【0018】一方、分割露光方式は、小型のマスクを用いて全体をいくつかの部分に分けて露光する方法で、特に同一素子のアレイパターンで形成される表示部では、同一のマスクで繰返し露光を行うことにより、どのような大きな表示部でも形成できる方式である。

【0019】しかし、上述した特開平2-232509号公報に示される方法を分割露光に適用すると、分割した各々のデータは別のものとなり、各々別のマスクを使用して露光しなければならない。その具体例を図14に示す。

【0020】図14によれば、薄膜トランジスタアレイ部分のゲート信号線5と画素電極6のオーバーラップ部7がゲート信号入力側から離れるに従って段階的に小さくなっている。これを横方向に4分割する分割露光で実

現する場合、露光エリア(a)、(b)、(c)、

(d)はデザインが異なるため、それぞれの箇所に対応したマスクを用意して使用しなければならない。

【0021】この場合、マスク数の増加による露光時間の長時間化、マスク間の継ぎ合わせ及びゲート電極等との重ね合わせ精度管理の複雑化、そして、最悪の場合、露光装置のマスク交換数の上限を越えて露光が不可能となる等の生産性を著しく低下させるという欠点があつた。

【0022】本発明の目的は、分割露光方式を採用する大型画面サイズ用薄膜トランジスタアレイ基板において、配線材料の変更や配線層膜厚の増加、配線幅の拡大を図ることなく、表示画面内でのフィードスルー電圧分布を均一にすることができる薄膜トランジスタアレイ基板の製造方法を提供することにある。

【0023】

【課題を解決するための手段】前記目的を達成するため、本発明に係る薄膜トランジスタアレイ基板の製造方法は、単一マスクで分割露光を行なうことにより、アレイパターンで形成される表示部を薄膜トランジスタアレイ基板に形成する薄膜トランジスタアレイ基板の製造方法であって、前記表示部は、ゲート信号線とドレイン信号線との交差位置に薄膜トランジスタと画素電極とを有するものであり、単一マスクによる露光エリア内に薄膜トランジスタを形成する過程において、薄膜トランジスタのドレイン電極のパターン露光時に、ゲート電極のパターンとソース電極のパターンとのオーバーラップ量がゲート信号入力部側から離れるに従って大きくなるように露光毎にアライメントオフセットを増加する方向にオフセットを行ない、ゲート電極とソース電極との間の寄生容量を増加させるものである。

【0024】また前記画素電極とゲート信号線、もしくは画素電極と独立した電位を与えられるように形成された電極とを層間絶縁膜を介してオーバーラップさせてオーバーラップ部に形成する補助容量の値を、ゲート信号入力部側から離れるに従って段階的に小さくなるように単一マスクの露光エリア内で変化させるものである。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0026】図1は、本発明の一実施形態に係る液晶パネルを示す平面図、図2は、図1の拡大図であって、図2(a)は、図1に示す単一マスクによる露光エリア左端中央部①の拡大図、図2(b)は、図1に示す単一マスクによる露光エリア中央部②の拡大図、図2(c)は、図1に示す単一マスクによる露光エリア中央部③の拡大図、図3(a)は、図2(a)のA-A'線断面図、図3(b)は、図2(b)のB-B'線断面図、図3(c)は、図2(c)のC-C'線断面図、図4(a)は、図1の①部の回路図、図4(b)は、図1の

②部の回路図、図4 (c) は、図1の③部の回路図である。

【0027】図1に示す液晶パネル1には、単一のマスクを使用して2行3列の6回分割露光を行うことにより、表示部3が形成されている。表示部3の直交する2辺のうち1辺側にはゲートパルス入力部2が形成され、他の辺側には信号入力部2aが形成されている。また表示部3のうち、斜線を付した桁目部分は、単一のマスクによる露光エリア4に相当する部分である。

【0028】さらに、図2及び図3において、単一マスクによる一回の露光エリアの単位でガラス基板9上にゲート信号線5を所要のパターンに形成し、ゲート信号線5の一部を図示しないゲート酸化膜で被覆した後、アモルファスシリコン等からなるソース・ドレインを形成することにより、薄膜トランジスタ(TFT)14をお構築する。

【0029】そして、TFT14のドレインにドレイン信号線8を接続し、これらを覆って層間絶縁膜12を積層し、層間絶縁膜12上に画素電極6を形成し、画素電極6をTFT14のソースに接続する。画素電極6は、前段のTFT14及び画素電極に接続される前段のゲート信号線5の一部に層間絶縁膜12を介して重なるようパターン形成し、保護膜11にて被覆保護している。

【0030】またガラス基板9と対向配置されるガラス基板9には、対向電極13を形成し、対向電極13と保護膜11との間の空隙内に液晶10を充填封入する。

【0031】図2及び図3に示す構成により、図1に示す単一のマスクによる露光エリア4のうち、ゲートパルス入力部2側の左端部①では、図4 (a) に示すよう

$$\frac{C_{GS}}{C_{SC3} + C_{GS}} \cdot \frac{(C_{LC} + C_{SC1} + C_{GS})}{(C_{GS} + C_{SC1} + C_{SC2})} \cdot \Delta V_G = (C_{GS} \cdot \Delta V_G + \int I_{DS} dt) / (C_{LC} + C_{SC1} + C_{SC2})$$

【0036】次に、図1における単一マスクによる露光エリア4の継ぎ目部分での露光が行なわれるが、横方法の継ぎ目部である③、④部もしくは⑤、⑥部に注目すると、図5 (a)、(b) に示すように、単一マスクによる左端部③(又は⑤)パターンと、右端部④(又は⑥)のパターンとが隣り合せに形成される。

【0037】図5 (a)、(b) に示す素子の等価回路図を図6に示す。図6は、図5の継ぎ目部③及び④を例にとって示してある。継ぎ目部③及び④と継ぎ目部⑤及

$$V_{FD3} = (C_{GS} \cdot \Delta V_G + \int I_{DS} dt) / (C_{LC} + C_{SC3} + C_{GS1}) \quad (5)$$

【0040】

$$V_{FD4} = (C_{GS} \cdot \Delta V_G + \int I_{DS} dt) / (C_{LC} + C_{SC1} + C_{GS1}) \quad (6)$$

【0040】表示画面内のフィードスルー電圧を均一化するためには、1行1列目の単一マスクによる露光エリア4の右端部にフィードスルー電圧 $V_{FD3}$ と1行2列目の単一マスクによる露光エリア4の左端部のフィードスルー電圧 $V_{FD4}$ を一致させることが必要である。しかし、液晶容量 $C_{LC}$ 、ストレージ容量 $C_{SC1}$ 、 $C_{SC2}$ はコンスタントである。

に、TFT14のソースとゲート信号線5との間にストレージ容量15が寄生し、TFT14のゲート・ソース間にゲート・ソース容量19が寄生し、対向電極13とTFT14のソースとの間に液晶容量( $C_{LC}$ )が寄生する。

【0032】また図1に示す単一のマスクによる露光エリア4のうち、中央部②、右端部③にも図(b)、(c)に示すように、ストレージ容量16、17が寄生する。

【0033】そこで、本発明に係る薄膜トランジスタアレイ基板の製造方法では図2及び図3に示すように、画素電極6とゲート信号線5、もしくは画素電極6と独立した電位を与えられるように形成された電極とを層間絶縁膜12を介してオーバーラップさせてオーバーラップ部7に形成する補助容量の値を、ゲート信号入力部2側から離れるに従って段階的に小さくなるように単一マスクの露光エリア4内で変化させることを特徴とするものである。

【0034】ここで、図1～図4において、単一マスクによる露光エリア4のうち、ゲートパルス入力部2側の左端部①側のストレージ容量15を $C_{SC1}$ とし、中央部②のストレージ容量16を $C_{SC2}$ とし、右端部③側のストレージ容量17を $C_{SC3}$ とし、 $C_{SC1} > C_{SC2} > C_{SC3}$ となるように連続的に変化させ、単一マスクを用いた露光範囲内でのフィードスルーの補償を行うためには、 $C_{SC1}$ と $C_{SC3}$ の関係を(4)式が成立つようにすることが必要である。

【0035】

【式4】

び⑥とに露光条件を同一に設定して露光を行なうと、図1の①部から図1の⑦までの各露光エリア4内でのフィードスルーは図7に示すように、単一のマスクによる露光エリア4を単位として階段状に変化することとなる。

【0038】露光エリア継ぎ目部③、④部のフィードスルーレ電圧 $V_{FD3}$ 、 $V_{FD4}$ を計算する計算式は、式(5)、式(6)で示される。

【0039】

【式5】

$$V_{FD3} = (C_{GS} \cdot \Delta V_G + \int I_{DS} dt) / (C_{LC} + C_{SC3} + C_{GS1}) \quad (5)$$

【式6】

【0041】そこで、本発明に係る薄膜トランジスタアレイ基板の製造方法は、単一マスクで分割露光を行なうことにより、アレイパターンで形成される表示部4を薄膜トランジスタアレイ基板に形成する薄膜トランジスタアレイ基板の製造方法を対象とするものであって、前記表示部3は、ゲート信号線7とドレイン信号線8との交差位置に薄膜トランジスタ14と画素電極6とを有する

ものであり、單一マスクによる露光エリア4内に薄膜トランジスタ14を形成する過程において、薄膜トランジスタ14のドレイン電極22のパターン露光時にゲート電極21のパターンとソース電極23のパターンとのオーバーラップ量がゲート信号入力部2側から離れるに従って大きくなるように露光毎にアライメントオフセットを増加する方向にオフセットを行ない、ゲート電極21とソース電極23間の寄生容量C<sub>GS</sub>を増加させることを特徴とするものである。

【0042】以下、本発明に係る薄膜トランジスタアレイ基板の製造方法の具体例を図8及び9に基づいて説明する。図8は、本発明に係る薄膜トランジスタアレイ基板における薄膜トランジスタ14を示す平面図、図9は、図8のD-D'線断面図である。

【0043】図9に示すように、薄膜トランジスタ(TFT)14のゲート電極21・ソース電極23間の寄生

$$V_{FD4} = (C_{GS2} \cdot \Delta V_G + \int I_{DS} dt) / (C_{LC} + C_{SC1} + C_{GS2}) \quad (7)$$

【0047】式(6)と式(7)の違いはC<sub>GS1</sub>がC<sub>GS2</sub>に変更されているのみである。

【0048】このように、TFT14のゲート電極21とソース電極23との間の容量C<sub>GS</sub>を変化させることにより、図1に示す③部と④部のフィードスルー電圧

$$(C_{GS} \cdot \Delta V_G - \int I_{DS} dt) / (C_{LC} + C_{SC3} + C_{GS1}) = (C_{GS2} \cdot \Delta V_G - \int I_{DS} dt) / (C_{LC} + C_{SC1} + C_{GS2}) \quad (8)$$

【0050】ここで、図1に示す③部及び④部のゲート配線抵抗によるゲートパルスのなまりによるソース電極からドレイン電極に流れ込む電流値 $\int I_{DS} dt$ が同一であると考えられるため、式(8)は、式(9)のように

$$(C_{GS} \cdot \Delta V_G) / (C_{LC} + C_{SC3} + C_{GS1}) = (C_{GS2} \cdot \Delta V_G) / (C_{LC} + C_{SC1} + C_{GS2}) \quad (9)$$

$\Delta V_G$ を省略すると、

$$C_{GS} / (C_{LC} + C_{SC3} + C_{GS}) = C_{GS2} / (C_{LC} + C_{SC1} + C_{GS2})$$

$$C_{GS2} = (C_{GS} \cdot (C_{LC} + C_{SC1})) / (C_{LC} + C_{SC3}) \quad (10)$$

【0054】この式(10)を満たすようにC<sub>GS2</sub>を調整することにより、單一露光マスクを用いても、図1に示す③部及び④部のフィードスルー電圧を同一にすることができる。

【0055】以上説明は、図1における單一マスクによる露光エリア4の横方法の継ぎ目部である③、④部について説明したが、図1に示す⑤及び⑥部についても同様に処理することによって図12に示すように図1の①部から図1の⑦部までの画面内でフィードスルーを均一にする液晶表示パネルを得ることができる。

【0056】また本発明の製造方法は、ストレージ容量を形成する配線がゲート配線もしくは補助容量配線のいずれであっても適用することができ、しかもトランジスタの形成方向が縦、横どちらであろうと実現可能である。

【0057】

容量は、TFTチャネル部分のドレイン電極22とソース電極23と間の中心からソース電極23側でゲート電極21上にあるアモルファスシリコン等の層間絶縁膜24の面積に比例する。

【0044】そこで、図10に示すように、ドレイン電極22及びソース電極23の露光時に、ゲート電極21とソース電極23とのオーバーラップ24aが増加するように、図9の状態よりマイナスX方向に $\Delta x$ のオフセットを行なってパターンを形成することにより、TFT14のゲート電極21とソース電極23との間の容量をC<sub>GS1</sub>からC<sub>GS2</sub>に増加させる方向で変更させる。

【0045】図10の状態の等価回路を図11に示す。この場合、図1に示す④部のフィードスルー電圧V<sub>FD4</sub>は、式(7)であらわされる。

【0046】

【式7】

$$V_{FD4} = (C_{GS2} \cdot \Delta V_G + \int I_{DS} dt) / (C_{LC} + C_{SC1} + C_{GS2}) \quad (7)$$

V<sub>FD3</sub>とV<sub>FD4</sub>とは同一となるため、式(8)が成立する。

【0049】

【式8】

$$(C_{GS} \cdot \Delta V_G - \int I_{DS} dt) / (C_{LC} + C_{SC3} + C_{GS1}) = (C_{GS2} \cdot \Delta V_G - \int I_{DS} dt) / (C_{LC} + C_{SC1} + C_{GS2}) \quad (8)$$

近似できる。

【0051】

【式9】

よって、C<sub>GS2</sub>は式(10)で表される。

【0053】

【式10】

$$C_{GS2} = (C_{GS} \cdot (C_{LC} + C_{SC1})) / (C_{LC} + C_{SC3}) \quad (10)$$

【発明の効果】以上説明したように本発明によれば、單一マスクによる露光エリアにおいてストレージ容量によりエリア内左端、右端のフィードスルー電圧の補償をされたマスクを使用し、露光パターン毎に薄膜トランジスタ部分での寄生容量C<sub>GS</sub>を増加させるように露光オフセットを行なうことにより、單一の露光用マスクを使用し多数回分割露光する場合においても、薄膜トランジスタアレイ基板でのフィードスルー電圧の左右の差が少ない特性、信頼性共に優れた薄膜トランジスタアレイ基板を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る薄膜トランジスタアレイ基板を示す平面図である。

【図2】図1の主要部を拡大した拡大図である。

【図3】図2のA-A'、B-B'、C-C'線に沿う断面図である。

【図4】図1の主要部の等価回路図である。

【図5】図1の露光継ぎ目部を拡大した拡大図である。

【図6】図1の露光継ぎ目部の等価回路図である。

【図7】図1の①～⑦部でのフィードスルーレ電圧測定値を示す図である。

【図8】図1の露光継ぎ目部③④における薄膜トランジスタを拡大した拡大図である。

【図9】図1の露光継ぎ目部③における薄膜トランジスタを断面した断面図である。

【図10】図1の露光継ぎ目部④における薄膜トランジスタを断面した断面図である。

【図11】本発明による露光方式を採用した場合の図1に示す③及び④部の等価回路図である。

【図12】本発明による露光方式を採用した場合の図1に示す①～⑦部でのフィードスルーレ電圧測定値を示す図である。

【図13】特開平5-232509号に開示された技術を示す平面図である。

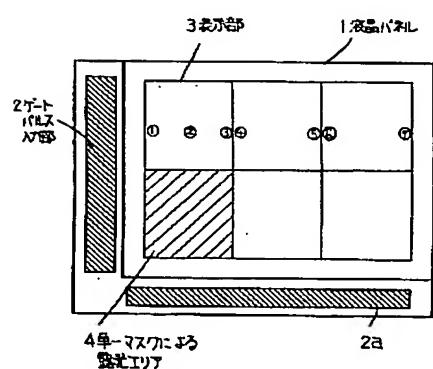
【図14】特開平5-232509号に開示された技術を示す図である。

【符号の説明】

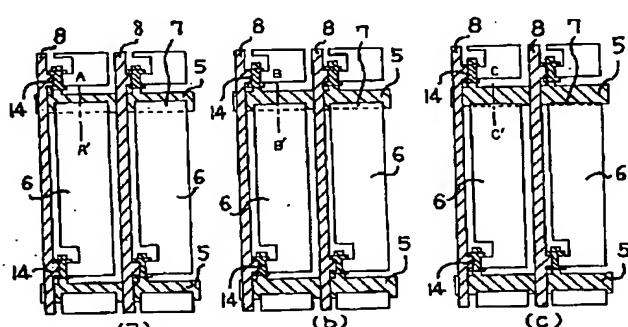
1 液晶パネル

- 2 ゲートパルス入力部
- 3 表示部
- 4 単一マスクによる露光エリア
- 5 ゲート信号線
- 6 画素電極
- 7 ゲート信号線と画素電極とのオーバーラップ部
- 8 ドレイン信号線
- 9 ガラス基板
- 10 液晶
- 11 保護膜
- 12 層間絶縁膜
- 13 対向電極
- 14 薄膜トランジスタ
- 15 ストレージ容量
- 16 ストレージ容量
- 17 ストレージ容量
- 18 液晶容量
- 19 ゲートソース容量
- 20 ゲートソース容量
- 21 ゲート電極
- 22 ドレイン電極
- 23 ソース電極

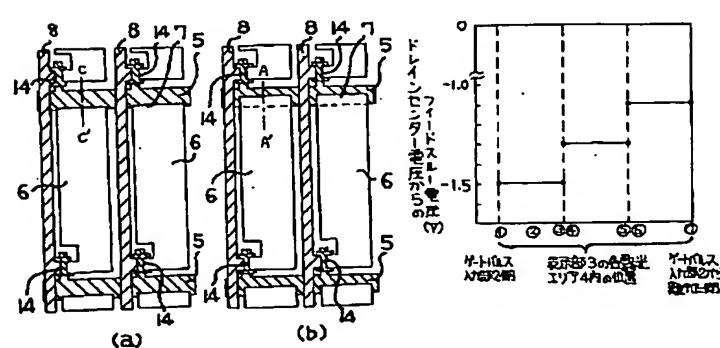
【図1】



【図2】

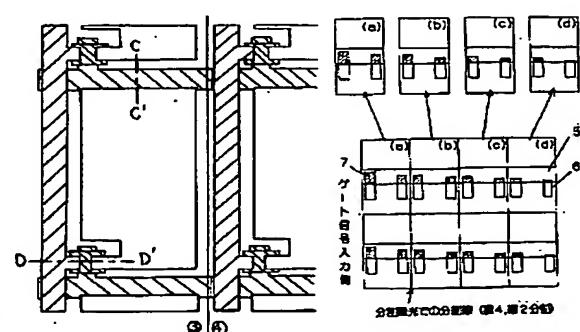


【図5】



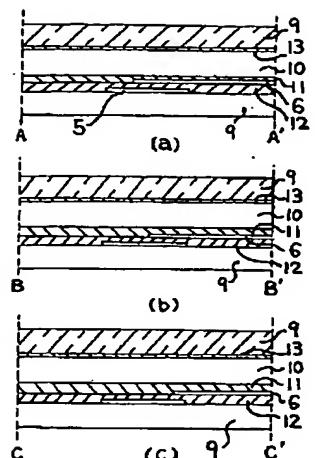
【図7】

【図8】

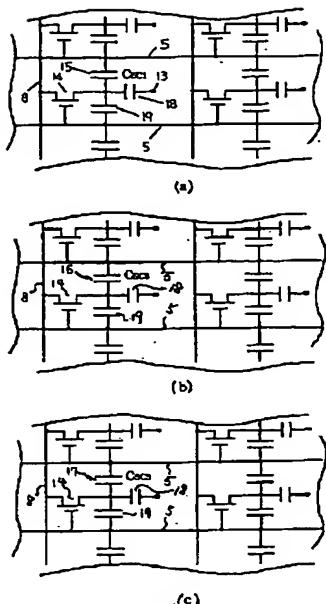


【図14】

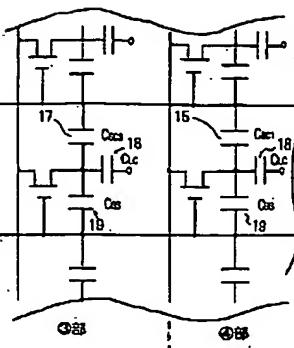
【図3】



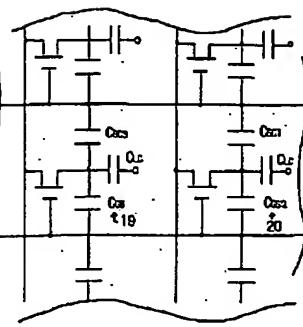
【図4】



【図6】

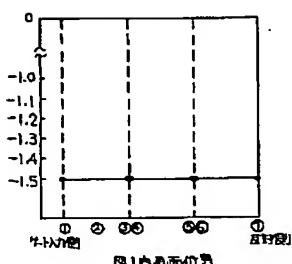


【図11】

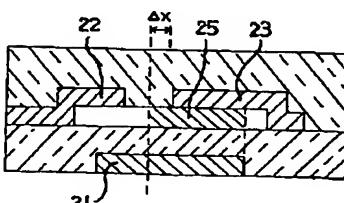
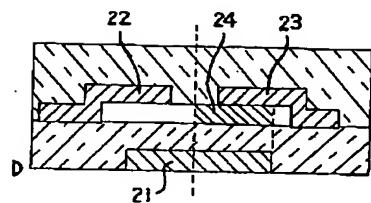


16ストレージ容量  
17ストレージ容量  
18沈殿容量  
19ゲート・ソース容量  
20ゲート・ソース容量

【図12】



【図9】



【図10】

【図13】

